

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-241856

(43)Date of publication of application : 28.10.1986

(51)Int.Cl. G06F 13/24
G06F 9/46

(21)Application number : 60-083864

(71)Applicant : MATSUSHITA GRAPHIC COMMUN SYST INC

(22)Date of filing : 19.04.1985

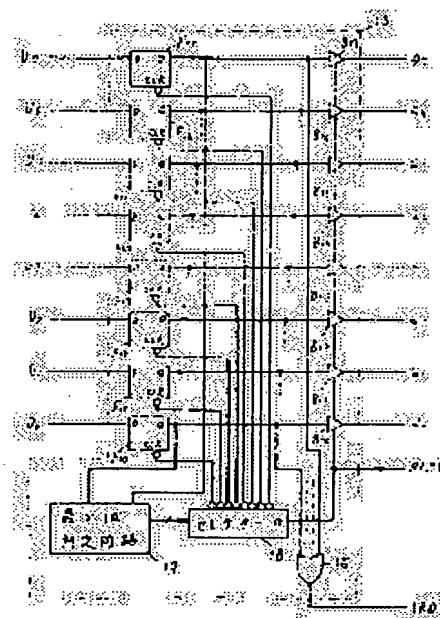
(72)Inventor : NOMA NOBUHIKO
TAKAGI GENZO

(54) INTERRUPTION RELEASING SYSTEM FOR REGISTER

(57)Abstract:

PURPOSE: To release smoothly and quickly the interruption to a register by providing selection control part for the selection of a single bit and a bit resetting part for the transmission of a clear signal to the selected bit to the register and then releasing the interruption after all bits are turned off.

CONSTITUTION: When '1' is set at a certain bit of a register 15, the '1' signal is detected by an OR gate 16 and the signal IRQ is transmitted to a processor. The highest flip-flop is detected out of those flip-flops of the highest position deciding circuit which are set at '1' and form a selection control part 19 and this detection signal is delivered to a selector 18. The gate of only a single CLR signal line designated by the detection signal is opened and the read signal is sent to the CLR signal line. The designated bit of the register 15 is cleared and the processor performs a prescribed interruption. The processor receives again the signal IRQ when a series of processes are through and reads the register 15. This simplifies the circuit constitution and the operating procedure and attains the effective release of an interruption.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 昭61-241856

⑤Int.Cl.⁴
G 06 F 13/24
9/46

識別記号 庁内整理番号
A-7165-5B
F-8120-5B

⑬公開 昭和61年(1986)10月28日

審査請求 未請求 発明の数 1 (全5頁)

⑭発明の名称 レジスタの割込解除方式

⑯特 願 昭60-83864

⑰出 願 昭60(1985)4月19日

⑱発明者 野間 伸彦 東京都目黒区下目黒2丁目3番8号 松下電送株式会社内
⑲発明者 高木 元三 東京都目黒区下目黒2丁目3番8号 松下電送株式会社内
⑳出願人 松下電送株式会社 東京都目黒区下目黒2丁目3番8号
㉑代理人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

レジスタの割込解除方式

2、特許請求の範囲

複数ビットによって構成され、これらのビットのセット状態を検出して処理装置に対する割込み指令を発するレジスタに、処理装置からの読出し信号によって作動し、上記ビットのうちの選択された一つのビットに向けてクリア信号を発するビットリセット部と、ビットリセット部に対して上記一つのビットの選択を行なわせる選択制御とを設け、セット状態にあるビットを順次クリアし、全てのビットについてのクリア操作完了によって割込み解除をするようにしたことを特徴とするレジスタの割込解除方式。

3、発明の詳細な説明

産業上の利用分野

本発明はレジスタの割込解除方式、特に割込命令データの読出し及びリセット操作を手際よく行なうことができるようにした割込解除方式に関する

ものである。

従来の技術

例えばファクシミリのような、通信回線を使ってデータの伝送を行なう装置では、この装置の内部で各種処理操作をするために、複数のデータ処理部間でデータを送受信するのが一般的である。そして、かかるデータ処理部間でのデータ送受信操作は、データ処理部間にステイタス・レジスタを配置し、このステイタス・レジスタのデータ内容に従って割込み動作等をコントロールすることにより実行される。

かかるデータ処理部間における割込み及び割込み解除動作を行なわせる制御回路の一般例としては、例えば第2図に示すようなものがある。これは、ハンドシェイク法によるデータ送受信回路を制御する回路である。データ送受信回路は、データ端末装置(通常、端末装置に相当し、以下DTEと略称する)側に設けられ、当該DTE側のデータ回線であるバス2に接続されて送信データの処理、送出を行う第1の処理装置1と、データ回

線終端装置(通信回線等、以下DCEという)側に設けられ、このDCE側のバス4に接続されて受信データの処理、送出行う第2の処理装置3とを有する。かかる第1及び第2の処理装置1、3に対して各種動作指令を発して制御するために、バス2、4間にはステータス・レジスタ5が設置される。このステータス・レジスタ5は、上記の如きデータ伝送システムにあっては、送信データを格納する送信データ・レジスタ、受信データを格納する受信データ・レジスタの状態を表わすビット(TX・EMPTY;RX・FULL)や、これら送信データ・レジスタ、受信データレジスタと第1の処理装置1、第2の処理装置3との間でデータの送信が行なわれたときの作動の正常、異常の別を表わすビット(TX・ハンドシェイクエラー;RX・ハンドシェイクエラー)等の各フラグビットを有する。

そして、第1の処理装置1から送信データを送出したいときは、先ず第1の処理装置がステータス・レジスタに割込みをかけ、このステータス・

み解除を行なう。

このような第1の処理装置1、或は第2の処理装置3によるステータス・レジスタ5への割込み及び割込み解除が行なえる様にするためのステータス・レジスタ5の構造としては従来から第2図に示すようなものがあつた。このステータス・レジスタ5は、バス2の各バス線D0~D7とバス4の各バス線Q0~Q7の間に接続され且つステータス・レジスタ5の各ビットに対応するフリップ・フロップF0~F7と、これらのフリップ・フロップF0~F7におけるオン("1"が立っている)又はオフ("0"が立っている)状態を検出するオアゲート6と、処理装置1又は3に向けてIRQ信号を発するSR(セット・リセット)フリップ・フロップ7とから成る。フリップ・フロップF0~F7はそれぞれバス2のそれぞれ対応するバス線D0~D7に接続される入力用のD端子と、バス4のそれぞれ対応するバス線Q0~Q7に接続される出力用のQ端子と、第1の処理装置1又は第2の処理装置3からステータス・レジスタ5へ発せられた脱出し信号が入力されるE端子と、各フリップ・フロップF0~F7において"1"が立って

レジスタ5の所定のビットに"1"(TX・EMPTY;送信データ・レジスタが空であることを示す)が立っていることを確認し、その後DTE側のバス2を通して送信データ・レジスタに送信データを送出すると共に上記ステータス・レジスタ5の所定のビットに"0"を書込んでリセット即ち割込み解除を行なう。次いでこの送信データは第2の処理装置3によりDCE側のバス4を通して脱出され、所定の処理が施される。

他方、通信回線を通してデータが送られて来たような場合、第2の処理装置3はデータ処理を行なった後、バス4を通して受信データ・レジスタに受信データを送出する。次いで第1の処理装置1はステータスレジスタ5に割込みをかけ、このステータス・レジスタ5の所定のビットに"1"(RX・FULL;受信データ・レジスタが満杯であることを示す)が立っていることを確認し、その後DTE側のバス線2を通して受信データを脱出すと共に、ステータス・レジスタ5の当該所定のビットに"0"を書込んでリセット即ち割込

いる時に出力するEG端子とを有し、各フリップ・フロップF0~F7のEG端子から出た合計8本の信号線がオアゲート6に入力される。オアゲート6とSRフリップ・フロップ7とは、前者の出力信号が後者のセット端子Sに入力される様に出力され、当該SRフリップ・フロップ7がセット状態になったときにIRQ信号が第1の処理装置1又は第2の処理装置3に向けて出力され、これらの処理装置3に対して割込み操作が行なわれる。また、第1の処理装置1又は第2の処理装置3からの脱出し信号はSRフリップ・フロップ7のリセット端子Rにも入力され、IRQ信号によって割込み操作を開始した処理装置1又は3がステータス・レジスタ5に脱出しをかけるとSRフリップ・フロップ7はリセット状態となりIRQ信号が停止する。

発明が解決しようとする問題点

ところで、このような従来のレジスタの割込解除方式にあっては、ステータス・レジスタ5の或るビットに"1"が立つことによつてSRフリッ

ブ・フロップから出力されたI R Q信号は、処理装置側から読出し信号が入力されることによりリセットされ出力停止となる。しかしながら、処理内容如何によっては、ステイタス・レジスタ5のフリップフロップF0～F7のうち、複数のフリップ・フロップ（例えばF2とF5）に“1”が立っており、それぞれのフリップ・フロップ（つまり第3ビットと第6ビット）において互いに異なった状態情報が格納される場合がある。このような場合、上記従来例では、処理装置1又は3から読出し信号が入力され一方のフリップ・フロップ（例えばF5）に対して読出しが行なわれると、SRフリップ・フロップ7はリセットされて割込みが解除されI R Q信号が停止されてしまうため、他方のフリップ・フロップF2に対しては何時までたっても読出しがかからないという不具合があった。

本発明は、このような従来の問題点に着目してなされたもので、その目的は、レジスタに対する割込解除を円滑且つ迅速に行なえる方式を提供す

信号によってレジスタに格納されたデータが読出される一方、読出し信号はビットリセット部へ伝送される。他方、選択制御部は、レジスタの各フリップ・フロップF0～F7の出力端子を使って、これらのうち、どのフリップ・フロップがオン状態にあるかを監視し、一定の規則に従ってオン状態にあるビットのうちの一つを選びビットリセット部を制御する。これにより、ビットリセット部からは選択された単一のオン状態にあるビットに対してクリア信号が発せられ、このクリア操作が順次オン状態にあるビットに対して行なわれると共に、その都度レジスタからデータの読出しが行なわれる。そしてオン状態にある全てのビットに対して読出しが完了するまではI R Qは出力され続け、処理装置への割込みが行なわれる。

実施例

第1図は、本発明のレジスタの割込解除方式を実行するためのレジスタ構造の一実施例を示す図であり、このレジスタ15は上記従来のステイタス・レジスタ5と同様、例えば第2図に示すよう

ることにある。

問題点を解決するための手段

本発明は上記目的を達成するため、レジスタの各ビット出力端子から、各ビットのオン、オフ状態を検出する部材と、オン状態にある複数ビットのうち、一つのビットを選択する選択制御部と、この選択制御部における選択結果に基づいて、選択されたビットへクリア信号を発するビットリセット部とをレジスタに設け、オン状態にあるビットに順次読出しをかけると共にオフ作動せしめ、全てのビットについてのオフ作動完了によって割込み解除をするようにしたことを要旨とするものである。

作用

レジスタを構成し、各ビットに対応するフリップ・フロップF0～F7のうち少なくともいずれか1つに“1”が立つと、全てのフリップ・フロップからの出力信号を監視する部位から処理装置へ向けてI R Q信号が発せられ、処理装置からは読出し信号がレジスタへ送出される。この読出し

なデータ伝送装置内で使用される。この実施例に係るレジスタ15は、各バス線D0～D7と、バス線Q0～Q7の間に接続され、且つレジスタ15の各ビットに対応するフリップ・フロップF10～F17と、これらのフリップ・フロップF10～F17におけるオン（“1”が立っている）又はオフ（“0”が立っている）状態を検出し、処理装置1又は3に向けてI R Q信号を発するオアゲート18と、各フリップ・フロップF10～F17に対応してそれぞれの出力端子に接続されたトライステート・バッファB10～B17と、フリップ・フロップF10～F17のうち選択されたフリップ・フロップに向けてクリア信号を送出するビットリセット部即ちセレクト18と、フリップ・フロップF10～F17のうち、“1”が立ってオン状態にあるフリップ・フロップを検出すると共にセレクト18に上記オン状態にあるフリップ・フロップの一つを選択させる選択制御部19とを有して成る。

フリップ・フロップF10～F17は、それぞ

れ対応するバス線D0~D7に接続される入力用のD端子と、それぞれ対応するバス線Q0~Q7に接続される出力用のQ端子と、セクタ18から送られて来たクリア信号を入力するCLR端子とを有し、各フリップ・フロップF10~F17のQ端子から出た信号線から分岐した合計8本の信号線がオアゲート18に入力される。そして、オアゲート18は、これに入力する8本の信号線のうち少なくとも1本から“1”信号が入力されると処理装置に対してIRQ信号を発するようになっている。さらに、各フリップ・フロップF10~F17のQ端子出力信号線からは別の信号線が分岐しており、この合計8本の信号線は選択制御部19へ信号入力するようになっている。トライステート・バッファB10~B17及びセクタ18には、処理装置から発せられた読出し信号が入力される。また、本実施例において、選択制御部19には“1”が立っているフリップ・フロップのうち最上位のフリップ・フロップを検出する最上位検出回路が使われる。

を送出する。これによって、レジスタ15の指定されたビットはクリアされ処理装置は所定の割込み処理操作を行なう。また、レジスタ15内において、“1”が立っているビットが複数個ある場合、上記最上位のビットに対するクリア操作が終了しても他のビットには“1”が立っているため、オアゲート18はIRQ信号を出力し続ける。したがって処理装置は、上記一連の処理を終ると再びIRQ信号を受け、レジスタ15に対して読出しをかける。この時にはセクタ18は選択制御部19からの指令によって、新たな最上位ビットに対応するCLR信号線のためのゲートを開いているから、この読出し操作時には当該新たな最上位ビットのみがクリアされる。

こうして、オン状態にあるビットが最上位から、割込み操作ごとに順次クリアされて行き、全てのビットがクリアされるとオアゲート18はオフとなり、IRQ信号の出力も停止する。そして、かかる割込解除方式を採用することにより、処理装置からの読出し起動によって全てのビットに対し

かかる構成を有するレジスタ15において、レジスタ15のいずれかのビットに“1”が立つとこの“1”信号はオアゲート18によって検知され、当該オアゲート18から処理装置に向けてIRQ信号が発せられる。このIRQ信号を受けた処理装置はレジスタ15に対して読出し信号(第1図中READで表わす)を発し、この読出し信号はトライステートバッファB10~B17とセクタ18とに入力される。トライステートバッファB10~B17への入力によってレジスタ15のデータがバス線Q0~Q7に読出される。他方セクタ18側においては、選択制御部19を構成する最上位判定回路“1”となっているフリップ・フロップ(即ちオン状態にあるビット)のうち最上位のものを検出し、その検出信号を上記セクタ18へ向けて出力する。この検出信号を受けたセクタ18は8本あるCLR信号線のうち、上記検出信号によって指定された1本のCLR信号線のためのゲートを開き、この1本のCLR信号線に読出し信号(即ち、この場合はクリア信号)

てクリア作動がかかるということはなくなる。

発明の効果

以上説明したように、本発明によれば、ステータス・レジスタの様な、処理装置に対して割込み指令を発するレジスタの複数ビットに対して、或る規則性をもたせて割込み処理操作ごとに順次割込み解除を行なうようにしたため、一部の指令データが他の指令データ読出し操作によって解除されるということとはなくなる。また、かかる割込み解除をクリア信号線を順次選択して行なう、という手法をとったため、回路構成及び操作手順を簡略化することができ、効率的な割込解除が可能となる等、種々の効果が得られる。

4、図面の簡単な説明

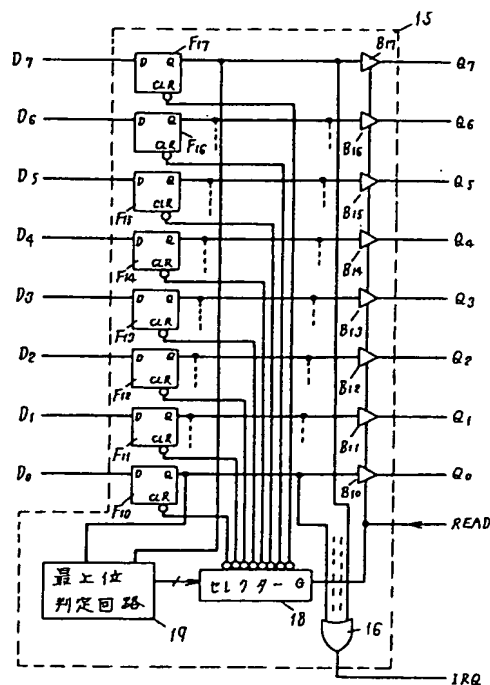
第1図は本発明の一実施例に係るレジスタの構成を示すブロック図、第2図は本発明が適用されるデータ送受信制御回路を示す結線図、第3図は従来のレジスタ構造を示すブロック図である。

1……第1の処理装置、2……バス(DTE側)
3……第2の処理装置、4……バス(DCE側)

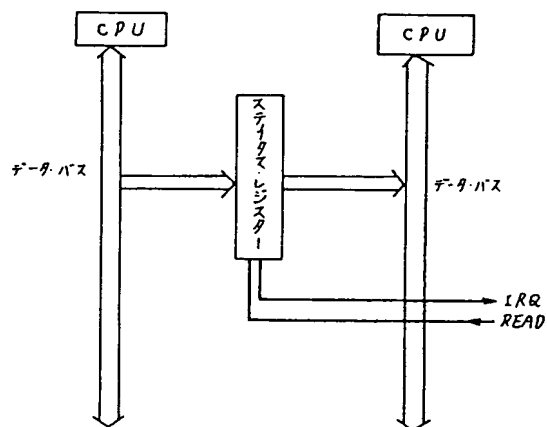
6……ステータス・レジスタ、6, 16……オア
ゲート、15……レジスタ、18……セクタ(
ビットリセット部)、19……選択制御部。

代理人の氏名 井理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

